

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 23/60

H01L 27/092

[12] 发明专利说明书

[21] ZL 专利号 95118273.0

[45]授权公告日 2000 年 5 月 31 日

[11]授权公告号 CN 1053066C

[22]申请日 1995.11.10 [24]颁证日 2000.4.14

[21]申请号 95118273.0

[30]优先权

[32]1995.4.6 [33]US[31]08/419,650

[73]专利权人 财团法人工业技术研究院

地址 中国台湾

[72]发明人 柯明道 吴添祥

[56]参考文献

US5,400,202 1995.3.21

审查员 沈 丽

[74]专利代理机构 永新专利商标代理有限公司

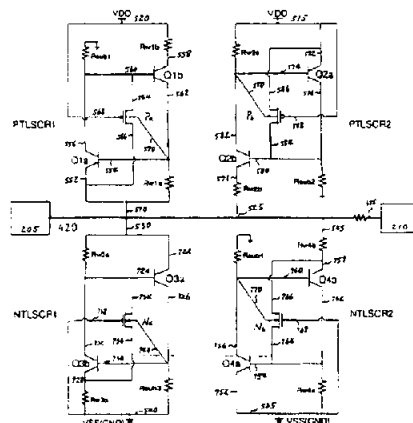
代理人 徐 娟

权利要求书 2 页 说明书 24 页 附图页数 12 页

[54]发明名称 互补金属氧化物半导体集成电路的静电放电防护电路

[57]摘要

一种互补金属氧化物半导体集成电路的静电放电防护电路,包括四个低电压触发可控硅整流器,它们分别由一横向可控硅整流器加一短沟道 PMOS 元件合并而成,其中,第一、第二低电压触发可控硅整流器连接在电路的 VDD 与输出/输入级之间,第三可控硅整流器连接在输出/输入级与 VSS 之间;第四可控硅整流器连接在输出/输入级与 VSS 之间;它们分别用以防护 CMOS 集成电路的 PD、ND、PS 及 NS 模式的静电放电。



权 利 要 求 书

1、一种互补金属氧化物半导体集成电路的静电放电防护电路，其特征在于，包括：

一个第一低电压触发可控硅整流器，连接在VDD与输出/输入级之间，用来防PD模式的静电放电；

一个第二低电压触发可控硅整流器，连接在VDD与输出/输入级之间，用来防护ND模式的静电放电；

一个第三低电压触发可控硅整流器，连接在输出/输入级与VSS之间，用来防护PS模式的静电放电；

一个第四低电压触发可控硅整流器，连接在输出/输入级与VSS之间，用来防护NS模式的静电放电。

所述低电压触发可控硅整流器为低电压触发横向可控硅整流器；

第一横向可控硅整流器，其阴极连接到第一参考电压源VDD，其阳极连接到电路的输入级，第一横向可控硅整流器内包括一个第一PMOS元件，第一PMOS元件正向导通时，触发第一横向可控硅整流器导通；

第二横向可控硅整流器，其阳极连接到第一参考电压源VDD，其阴极连接到电路的输入级，第二横向可控硅整流器内包括一个第二PMOS元件，第二PMOS元件其快反向击穿时，触发第二横向可控硅整流器导通；

第三横向可控硅整流器，其阳极连接到输入级，其阴极连接到第二参考电压源VSS，第三横向可控硅整流器内包括一个第一NMOS元件，第一NMOS元件当其快反向击穿时，触发第三横向可控硅整流器导通；以及

第四横向可控硅整流器，其阴极连接到输入级，其阳极连接到第二参考电压源VSS，第四横向可控硅整流器内包括一个第二NMOS

S 元件，第二 NMOS 元件正向导通时，触发第四横向可控硅整流器导通。

2、根据权利要求 1 所述的静电放电防护电路，其特征在于，其为一 N 型阱区 / P 型衬底结构。

3、根据权利要求 1 所述的静电放电防护电路，其特征在于，其为一 P 型阱区 / N 型衬底结构。

4、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第一横向可控硅整流器做在一半导体衬底上。

5、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第二横向可控硅整流器与所述第一横向可控硅整流器做在一起。

6、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第三横向可控硅整流器与所述第一、第二横向可控硅整流器做在一起。

7、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第四横向可控硅整流器与所述第一、第二及第三横向可控硅整流器做在一起。

8、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第一、第二、第三及第四横向可控硅整流器的阴极，在 N 型进区 / P 型衬底互补金属氧化物半导体中，由一 N 型重掺杂区跨在一 N 型阱区上，在 P 型衬底中形成。

9、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述第一、第二、第三及第四横向可控硅整流器的阳极，在 P 型阱区 / N 型衬底互补金属氧化物半导体中，由一 P 型重掺杂区跨在一 P 型阱区上，在 N 型衬底中形成。

说明书

互补金属氧化物半导体集成电路的静电放电防护电路

本发明有关于用于互补金属氧化物半导体集成电路的静电放电防护电路，本发明的静电放电防护电路包含有四个低电压触发可控硅整流器，提供四个静电放电的电流路径来直接保护集成电路中的内部电路，以避免各种模式的静电放电现象。

在互补金属氧化物半导体CMOS集成电路中，随着制造的演进，元件的尺寸已到了次微米阶段。在次微米技术中，为了克服所谓热载流子(Hot-Carrier)问题而发展出轻掺杂漏极(Light-Doped Drain)制造与结构；为降低MOS元件 R_s ， R_d 等串联电阻而发展出硅化物Silicide制造。在现今0.8微米(含)以下的先进制造大都使用上述两种重要的技术，以提高集成电路的运算速度及可靠性。

但是，次微米元件因为上述的先进技术以及缩得更小的元件尺寸，使得次微米CMOS IC对静电放电(Electrostatic Discharge, ESD)的防护能力降低很多(请参考C. Duvvury and A. Amerasekera, "ESD: A pervasive reliability concern for IC technologies," Proc. of IEEE, vol. 81, No. 5, pp. 690-702, May 1993)。但外界的环境中所产生的静电并未减少，故次微米CMOS IC因ESD而损伤的情形更为严重。许多制造发展上，都面临到这个严重的问题。

静电放电的防护电路，一般都设计在输入或输出装置处，以保护内部电路免遭静电破坏。在CMOS制造中，用来做静电放电元件的

有二极管，金属氧化物半导体MOS元件，薄氧化层（Field-Oxide）元件，双电极（Bipolar）以及可控硅元件SCR等；其中以可控硅元件的抗静电放电防护能力最高（是已经报导过的，在单位布局面积内有最高的ESD耐压能力。）但是纯可控硅（p-n-p-n结构）在次微米CMOS工艺中，其起始导通电压高达30—50伏特，因此无法单独用来保护只有150A—180A的薄氧化层（在输入级的闸极上）。最近，有人提出低电压触发器可控硅（Low Voltage trigger SCR）的结构来降低SCR元件的导通电压（参见：A. Chatterjee and T. Polgreen, "A low voltage triggering SCR for on-chip ESD Protection at output and input pads, " IEEE Electron Device Letters, Vol. 12, No. 1, pp. 21—22, Jan. 1991; 以及A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads, " IEEE 1990 Symposium on VLSI technology, pp. 75—76.）

但是，除了降低可控硅SCR的起始导通电压之外，CMOS集成电路又面临一些出人意料的静电损伤（参见：C. Duvvury, R. N. Rountree, and O. Adams, "Internal chip ESD phenomena beyond the protection circuit, " IEEE Trans. Electron Devices, Vol. 35, No. 12, pp. 2133—2139, Dec. 19

88; H. Terletzki, W. Nikutta, and W. Rieczek, "Influence of the series resistance of on-chip power supply buses on internal device failure after ESD stress," *IEEE Trans. Electron Devices*, Vol. 40, No. 11, pp. 2081-2083, Nov. 1993; 以及 C. Johnson, T. J. Maloney, and S. Qawami, "Two unusual HBM ESD failure mechanisms on a mature CMOS process," 1993 EOS/ESD Symposium proceedings, EOS-15, PP. 225-231), 而这些 ESD 损伤是发生在有静电放电保护电路的集成电路内部电路中, 而不是在静电放电保护电路本身。静电放电对任一支 IC 脚 (pin) 具有正或负的电压极性, 相对放电的脚可能是 VDD 或 VSS 脚, 故静电放电有四种模式:

(1) PS 模式: 当 VDD 脚浮接, 而相对正电压的静电放电 ESD 在某一输入脚对 VSS 脚放电;

(2) NS 模式: 当 VDD 脚浮接, 而相对负电压的 ESD 在某一输入脚对 VSS 脚放电;

(3) PD 模式: 当 VSS 脚浮接, 而相对正电压的 ESD 在某一输入脚对 VDD 脚放电;

(4) ND 模式: 当 VSS 脚浮接, 而相对负电压的 ESD 在某一输入脚对 VDD 脚放电;

所以, 一个全方位防护 ESD 破坏的保护电路要能够提供上述四种静电放电的有效防护, 才能避免集成电路在有静电放电防护电路保护下的意外损伤。

本发明的目的在于提出一个全方位保护次微米集成电路免于静电放电的防护电路。在本发明中，利用低电压触发的可控硅元件来做静电放电的防护元件。在本发明中，共有四个低电压触发可控硅整流器来一对一地提供上述四种静电放电模式的防护，能够有效地提高次微米集成电路的静电防护能力，而且其所占用的布局面积（相对于其ESD耐压能力）比传统静电放电防护电路小。因此本发明的静电放电防护电路非常适用于高密度、高脚数的超大型 / 极大型CMOS集成电路中。

本发明的静电放电防护电路能有效克服传统静电放电防护电路中的非直接静电放电路径所引起的内部电路损伤问题。本发明采用具有最高静电放电防护能力的可控硅整流器元件当做静电放电元件来保护集成电路，提供次微米互补金属氧化物半导体技术的全方位静电放电防护措施，而且只占用较小的布局面积。

本发明的静电放电防护电路包括两个PMOS触发横向可控硅整流器元件PTLSCR (PMOS-Trigger Lateral SCR,)，以及两个NMOS触发横向可控硅整流器元件NTLSCR (NMOS-Trigger Lateral SCR,)。这些PTLSCR与NTLSCR元件被适当连接来一对一地防护四种模式的静电放电对输入级与内部电路的破坏，并可以有效地防范集成电路中异常的静电放电损伤。

这两个PTLSCR元件（称为PTLSCR1与PTLSCR2）被连接于VDD与输入装置之间来防范PD模式与ND模式的静电放电；这两个NTLSCR元件（称为NTLSCR1与NTLSCR2）被连接于输入装置与VSS之间来防范PS模式与NS模式的静电放电。

PTLSCR1与PTLSCR2元件分别地在横向可控硅整流器中加入短沟道薄氧化层PMOS元件而组成。NTLSCR1与NTLSCR2元件分别地在横向可控硅整流器中加入短沟道薄氧化层NMOS元件而组成。

T L S C R 2 元件分别地在横向可控硅整流器中加入短沟道薄氧化层 N M O S 元件而组成。这些短沟道薄氧化层的 P M O S 与 N M O S 元件是被安排用来触发横向可控硅整流器（当静电放电发生时）。因此，P T L S C R 与 N T L S C R 元件的触发电压可被降低到低于次微米互补金属氧化物半导体集成电路输入级中短沟道薄氧化层 P M O S 元件与 N M O S 元件栅极薄氧化层（g a t e - o x i d e）的击穿电压。

本发明的互补金属氧化物半导体晶片上用四个低电压触发可控硅整流器做成的静电放电防护电路，可以被实现在任何互补金属氧化物半导体（C M O S）或双载流子互补金属氧化物半导体（B I C M O S）技术中，包括 N 型阱区 / P 型衬底，P 型阱区 / N 型衬底，或双型阱区的制造。本发明的静电放电防护电路在制造上可完全相容于 C M O S 与 B i C M O S 制造技术。并且可以有效地提高次微米互补金属氧化物半导体集成电路的静电放电防护能力，而且不需要传统静电放电防护电路中所加入的第二级防护元件。

本发明提供四个不同的静电放电路径来防护四种模式的静电放电。本发明利用静电放电防护能力最高的可控硅整流器来当静电放电旁通元件，故本发明能在比传统静电放电防护电路更小的布局面积内提供更强的静电放电防护能力。

本发明采取如下具体结构：

本发明的一种互补金属氧化物半导体集成电路的静电放电防护电路，其特征在于，包括：

一个第一低电压触发可控硅整流器，连接在 V D D 与输出 / 输入级之间，用来防 P D 模式的静电放电；

一个第二低电压触发可控硅整流器，连接在 V D D 与输出 / 输入级之间，用来防护 N D 模式的静电放电；

一个第三低电压触发可控硅整流器，连接在输出 / 输入级与 V S

S 之间，用来防护 P S 模式的静电放电；

一个第四低电压触发可控硅整流器，连接在输出 / 输入级与 V S S 之间，用来防护 N S 模式的静电放电。

所述低电压触发可控硅整流器为低电压触发横向可控硅整流器；

第一横向可控硅整流器，其阴极连接到第一参考电压源 V D D，其阳极连接到电路的输入级，第一横向可控硅整流器内包括一个第一 P M O S 元件，第一 P M O S 元件正向导通时，触发第一横向可控硅整流器导通；

第二横向可控硅整流器，其阳极连接到第一参考电压源 V D D，其阴极连接到电路的输入级，第二横向可控硅整流器内包括一个第二 P M O S 元件，第二 P M O S 元件其快反向击穿时，触发第二横向可控硅整流器导通；

第三横向可控硅整流器，其阳极连接到输入级，其阴极连接到第二参考电压源 V S S，第三横向可控硅整流器内包括一个第一 N M O S 元件，第一 N M O S 元件当其快反向击穿时，触发第三横向可控硅整流器导通；以及

第四横向可控硅整流器，其阴极连接到输入级，其阳极连接到第二参考电压源 V S S，第四横向可控硅整流器内包括一个第二 N M O S 元件，第二 N M O S 元件正向导通时，触发第四横向可控硅整流器导通。

其中，其为一 N 型阱区 / P 型衬底结构。

其中，其为一 P 型阱区 / N 型衬底结构。

其中，所述第一横向可控硅整流器做在一半导体衬底上。

其中，所述第二横向可控硅整流器与所述第一横向可控硅整流器做在一起。

其中，所述第三横向可控硅整流器与所述第一、第二横向可控硅整流器做在一起。

其中，所述第四横向可控硅整流器与所述第一、第二及第三横向可控硅整流器做在一起。

其中，所述第一、第二、第三及第四横向可控硅整流器的阴极，在N型进区 / P型衬底互补金属氧化物半导体中，由一N型重掺杂区跨在一N型阱区上，在P型衬底中形成。

其中，所述第一、第二、第三及第四横向可控硅整流器的阳极，在P型阱区 / N型衬底互补金属氧化物半导体中，由一P型重掺杂区跨在一P型阱区上，在N型衬底中形成。

结合附图及实施例对本发明的电路特点说明如下：

附图简单说明：

图1为本发明制作于N型阱区 / P型衬底CMOS技术的电路的连接示意图，其中包括NTLSCR1、NTLSCR2、PTLSCR1及PTLSCR2元件；

图2为图1的PTLSCR1与PTLSCR2元件制作于N型阱区 / P型衬底CMOS技术的剖面图；

图3为将图2的PTLSCR1与PTLSCR2元件合并在一起的剖面图；

图4为图1的NTLSCR1与NTLSCR2元件制作于N型阱区 / P型衬底CMOS技术的剖面图；

图5为将图4的NTLSCR1与NTLSCR2元件合并在一起的剖面图；

图6为图3中的PTLSCR1与PTLSCR2元件布局上视图，其中A—A'切线即对应图3所示的剖面图；

图7为图5中的NTLSCR1与NTLSCR2元件布局的俯视图，其中B—B'切线即对应图5所示的剖面图；

图8为显示本发明制作于P型阱区 / N型衬底CMOS技术的电路连接示意图，其中包括PTLSCR1'，PTLSCR2'，NT

LSCR1' 以及NTLSCR2' 元件;

图9为图8中的PTLSCR1'与PTLSCR2'元件制作于P型阱区/N型衬底CMOS技术剖面图:

图10为将图9的PTLSCR1'与PTLSCR2'元件合并在一起的剖面图:

图11为图8的NTLSCR1'与NTLSCR2'元件制作于P型阱区/N型衬底CMOS技术的剖面图:

图12为将图11的NTLSCR1'与NTLSCR2'元件合并在一起的剖面图。

图 1 即为应用此发明的电路示意图。在此图中显示了用四个低电压触发可控硅整流器元件做静电放电的防护电路 500。此电路 500 与 CMOS 集成电路做在同一晶片上以保护该晶片的输入级 210。此静电放电防护电路 500 连接于输入级 205 与输入级 210 之间。本发明包括有两个 PMOS 触发横向可控硅整流器 PTLSCR1 与 PTLSCR2 元件, 以及两个 NMOS 触发横向可控硅整流器 NTLSCR1 与 NTLSCR2 元件。此 PTLSCR1 与 PTLSCR2 元件连接于 VDD 与输入级 205 的端点 420 之间; 此 NTLSCR1 与 NTLSCR2 元件连接于输入级 205 的端点 420 与 VSS 之间。

一电阻 2 1 1 串联于输入级 2 0 5 的端点 4 2 0 与输入级 2 1 0 的端点 3 5 5 之间。输入信号自输入级 2 0 5 经此电阻 2 1 1 传到输入级 2 1 0。此电阻采用多晶硅 (P o l y s i l i c o n) 结构。在静电放电防护电路 5 0 0 开始导通之前, 此电阻亦具有延迟作用来延缓静电放电的电压传递到输入级 2 1 0 去。

此四个低电压触发可控硅整流器元件PTLSCR1' PTLSCR2' NTLSCR1及NTLSCR2被设计用来旁通正的与负的静电放电电压或突发脉冲到VDD及VSS上去。

如图 1 所示，PTLSCR1 元件被安排来防护 PD 模式的静电放电，PTLSCR2 元件被安排来防护 ND 模式的静电放电；NTLSCR1 元件被安排来防护 PS 模式的静电放电，NTLSCR2 元件被安排来防护 NS 模式的静电放电。因此在一输入脚的静电放电的四种模式被这四个低电压触发可控硅整流器元件一对一地防护着，本发明提供了有效且直接的静电放电的放电路径来快速旁通静电放电电流。因此本发明的静电放电防护电路 500 能提供 CMOS 集成电路的输入脚一个全方位的防护措施，以避免异常的静电放电损伤 CMOS 集成电路的内部电路。

B. 制作于 N 型阱区 / P 型衬底 CMOS 技术的元件结构：

1. PTLSCR1 元件

如图 1 所示，PTLSCR1 元件连接于输入级 205 与 VDD 电源线之间，其阳极 510 连接到输入级 205，其阴极连接到 VDD 520 去。此 PTLSCR1 元件由两个双载流子面接储三极管 (BJT) Q1a 与 Q1b 组成一横向可控硅整流器，而 PMOS 元件 Pa 则用来降低此横向可控硅整流器的触发电压。

Q1a 是一 NPN 双载流子晶体管，其发射极 552 连接到输入级 205 的端点 420；其基极 554 连接到一电阻 R_{w1a} ，而 R_{w1a} 电阻的另一端则连接到输入级 205；其集电极 556 经由一电阻 R_{sub1} 接地。

Q1b 是一 PNP 双载流子晶体管，其发射极 558 经由一电阻 R_{w1b} 连接到 VDD；其基极 560 连接到 Q1a 的集电极 556，其集电极 562 则连接到 Q1a 的基极 554。

Pa 元件是一短沟道薄氧化层 PMOS 元件，其漏极 564 连接到 Q1b 的基极 560；其源极 566 连接到 Q1a 的发射极 552；其栅极 568 则连接到 VDD；其基体 (bulk) 570 则连接到 Q1a 的基极 554。

2. PTLSCR1 的元件构造

如图 2 所示为 PTLSCR1 与 PTLSCR2 元件的结构剖面图 6 0 0，此结构是实现于 N 型阱区 / P 型衬底 CMOS 技术中。本节描述有关于 PTLSCR1 元件在图 1 中的电路示意图与图 2 中的元件剖面图。

PTLSCR1 元件由一横向可控硅整流器（由 Q1a 与 Q1b 组成）加入一短沟道薄氧化层 PMOS 元件 Pa 而成。

Q1a 是一寄生垂直 P-N-P 双载流子面接储晶体管。Q1a 由一 P 型重掺杂区 5 5 2 组成其发射极 5 5 2，一 N 型阱区 5 5 4 作为其基极 5 5 4，P 型衬底 5 5 6 作为其集电极 5 5 6。

Q1b 为一寄生横向 N-P-N 双载流子面接触晶体管。Q1b 由一 N 型重掺杂区 6 1 0 在一 N 型阱区 5 5 8 组成其发射极 5 5 8，P 型衬底 5 5 6 作为基极 5 6 0，另一 N 型阱区 5 5 4 作为其集电极 5 6 2。

薄氧化层 PMOS 元件 Pa 由 P 型重掺杂区 5 5 2 在 N 型阱区 5 5 4 中当其源极 5 6 6，另一 P 型浓布植区 5 6 4 横跨做在 N 型阱区 5 5 4 与 P 型衬底 5 5 6 的接储面上当其漏极 5 6 4，N 型阱区 5 5 4 当其基体 5 7 0。Pa 的栅极 5 6 8 连接到 VDD，所以此 PMOS 元件 Pa 在 CMOS 集成电路正常工作情形时是保持在关闭（off）的状态。

PTLSCR1 元件的导通电压已非原横向可控硅整流器的触发电压（约在 3 0 - 5 0 V），而变成 PMOS 元件 Pa 的导通电压。此电压为 $V_{DD} + |V_{thp}|$ ，其中 V_{thp} 是 PMOS 元件 Pa 的临界电压。因此，在 PD 模式的静电放电时，PTLSCR1 内的横向可控硅整流器会被 PMOS 元件 Pa 所触发，当此 PD 模式的静电放电电压超过 $V_{DD} + |V_{thp}|$ 时。当 PTLSCR1 元件被导通时，其保持电压（Holding Voltage）与原横向可控硅整

流器的保持电压相同（约 1 伏特），其导通电阻很低（约 2 — 5 欧姆），故可以很有效地旁通静电放电电流。

R_{w1a} 与 R_{w1b} 是寄生于 N 型阱区 5 5 4 与 5 5 8 中的寄生电阻， R_{sub1} 是 P 型衬底 5 5 6 的寄生电阻，这些电阻亦描述在图 1 与图 2 中。

3. P T L S C R 2 元件

如图 1 所示，P T L S C R 2 元件连接于 V D D 与输入级 2 0 5 之间，其阳极 5 1 5 连接到 V D D，其阴极 5 2 5 连接到输入级 2 0 5。P T L S C R 2 元件由两个双载流子面接触晶体管 Q_{2a} 与 Q_{2b} 以及一短沟道薄氧化层 P M O S 元件 P_b 所组成。 Q_{2a} 与 Q_{2b} 组成一横向可控硅整流器，而 P M O S 元件 P_b 则用来降低此横向可控硅整流器的触发电压。

Q_{2a} 是一 P N P 双载流子面接触晶体管，其发射极 5 7 2 连接到 V D D；其基极 5 7 4 连接到一电阻 R_{w2a} ，此电阻 R_{w2a} 的另一端则接到 V D D；其集电极 5 7 6 则经由一电阻 R_{sub2} 接地。

Q_{2b} 是一 N P N 双载流子面接触晶体管，其发射极 5 7 8 经由一电阻 R_{w2b} 连接到输入级 2 0 5 的端点 4 2 0；其基极 5 8 0 连接到 Q_{2a} 的集电极 5 7 6；其集电极 5 8 2 则连接到 Q_{2a} 的基极 5 7 4。

P_b 是一短沟道薄氧化层 P M O S 元件，其漏极 5 8 4 连接到 Q_{2b} 的基极 5 8 0；其源极 5 8 6 连接到 Q_{2a} 的发射极 5 7 2；其栅极 5 8 8 连接到 V D D；其基体（b u l k）5 9 0 连接到 Q_{2a} 的基极 5 7 4。

4. P T L S C R 2 的元件构造

本节部份描述有关 P T L S C R 2 在图 1 与图 2 中的电路示意图与元件剖面图。如图 2 所示，P T L S C R 2 元件是由一横向可控硅整流器（由 Q_{2a} 与 Q_{2b} 组成）并入一短沟道薄氧化层 P M O S 元件 P_b 所组成。此 P_b 元件并入横向可控硅整流器的目的在于利用 P_b 元

件的漏极在快反向击穿 (snap back breakdown) 情形下来触发横向可控硅整流器导通。

Q_{2a} 是一寄生垂直 P-N-P 双载流子面接触晶体管, 由一 P 型重掺杂区 5 7 2 当作其发射极 5 7 2; 一 N 型阱区 5 7 4 当作其基极 5 7 4; P 型衬底 5 5 6 当作其集电极 5 7 6。

Q_{2b} 是一寄生横向 N-P-N 双载流子面接触晶体管, 由一 N 型重掺杂区 6 1 5 在一 N 型阱区 5 7 8 中当作其发射极 5 7 8; P 型衬底 5 5 6 当作其基极 5 8 0、另一 N 型阱区 5 7 4 当作其集电极 5 8 2。

PMOS 元件 P_b 是由一 P 型重掺杂区 5 7 2 在一 N 型阱区 5 7 4 之中当作其源极 5 8 6; 另一 P 型浓布植区 5 8 4 横跨做在 N 型阱区 5 7 4 与 P 型衬底 5 5 6 的接触面当作其漏极 5 8 4; N 型阱区 5 7 4 当作其基体 5 9 0。 P_b 元件的栅极 5 8 8 连接到 VDD, 因此此 P_b 元件在 CMOS 集成电路正常工情形下是保持在关闭的状态。

PTLSCR2 元件的导通电压已非原横向可控硅整流器的触发电压 (约 -30 ~ -50 伏特), 而变成 PMOS 元件 P_b 的快反向击穿 (snap back breakdown) 电压, 此电压在 0.8 微米 CMOS 技术中大约在 -1.3 ~ -1.5 伏特。因此, 当 ND 模式的静电放电发生时, PTLSCR2 内的横向可控硅整流器在 -1.3 ~ -1.5 伏特的电压时便会被导通来旁通静电放电的电流以保护内部电路。当 PTLSCR2 元件导通之后, 其保持电压与原横向可控硅整流器相同 (约 1 伏特), 其导通电阻很低 (约 2 ~ 5 欧姆) 能有效地旁通静电放电电流。

P_{w2a} 与 R_{w2b} 是寄生于 N 型阱区 5 7 4 与 5 7 8 的寄生电阻, R_{sub2} 是 P 型衬底 5 5 6 的寄生电阻。这些电阻亦被描述于图 1 与图 2 中。

在图 2 中, 有两个分离的 N 型阱区 5 5 4 与 5 7 8 同时连接到输

入级 205，其中 N 型阱区 554 是用于 PTLSCR1 元件中，而另一 N 型阱区 578 是用于 PTLSCR2 元件之中。这两个 N 型阱区可以合并在一起以节省布局面积，合并后的元件结构如图 3 所示。图 3 显示的元件剖面图 700 为 PTLSCR1 与 PTLSCR2 元件合并在一起的示意图。

5. NTLSCR1 元件

如图 1 所示，NTLSCR1 元件连接于输入级 205 与 VSS 之间，其阳极 530 连到到输入级 205，其阴极连接到 VSS。NTLSCR1 元件由两个双载流子面接触晶体管 Q_{3a} 与 Q_{3b} ，以及一短沟道薄氧化层 NMOS 元件 N_a 所组成。 Q_{3a} 与 Q_{3b} 组成一横向可控硅整流器，而 NMOS 元件 N_a 用来降低此横向可控硅整流器的触发电压。

如图 1 所示， Q_{3a} 是一 PNP 双载流子面接触晶体管，其发射极 722 连接到输入级 205 的端点 420；其基极 724 连接到电阻 R_{w3a} ，此电阻的另一端连接到输入级 205 的端点 420；其集电极 726 经由一电阻 R_{sub3} 连接到 VSS。

Q_{3b} 是一 NPN 双载流子面接触晶体管，其发射极 728 经由一电阻 R_{w3b} 连接到 VSS；其基极 730 连接到 Q_{3a} 的集电极 726；其集电极 732 连接到 Q_{3a} 的基极 724。

N_a 是一短沟道薄氧化层 NMOS 元件，其漏极 734 连接到 Q_{3a} 的基极 724；其源极 736 连接到 Q_{3b} 的发射极 728；其栅极 738 则连接到 VSS；其基体 (bulk) 740 则连接到 Q_{3b} 的基极 730。

6. NTLSCR1 的元件构造

图 4 显示一半导体结构剖面图 800，是 NTLSCR1 与 NTLSCR2 元件的剖面图，实现于 N 型阱区 / P 型衬底 CMOS 技术中。本节下述有关于 NTLSCR1 元件。

如图 4 所示, N T L S C R 1 元件是由一横向可控硅整流器(由 Q_{3a} 与 Q_{3b} 所组成)并入一短沟道薄氧化层 N M O S 元件 N_a 所组成。此 N_a 元件并入一横向可控硅整流器的目的, 在于利用 N_a 元件在快反向击穿时, 触发此横向可控硅整流器, 以旁通静电放电的电流。

Q_{3a} 为一寄生垂直 P-N-P 双载流子面接触晶体管。 Q_{3b} 由一 N 型重掺杂区 7 3 6 做在一 N 型阱区 7 2 8 中, 当其发射极 7 2 8; P 型衬底 7 2 6 当其基极 7 3 0; 另一 N 型阱区 7 2 4 当其集电极 7 3 2。

薄氧化层 N M O S 元件 N_a 由一 N 型重掺杂区 7 3 6 做在一 N 型阱区 7 2 8 内当其源极 7 3 6; 另一 N 型浓布区 7 3 4 横跨做在 N 型阱区 7 2 4 与 P 型衬底 7 2 6 的接触面上, 当其漏极 7 3 4; P 型衬底 7 2 6 当基体 7 4 0。此 N_a 元件做在两个相邻的 N 型阱区 7 2 4 与 7 2 8 之间。 N_a 元件的栅极 7 3 8 连接到 V S S, 因此 N_a 元件在 C M O S 集成电路正常工作情形下是被关闭的。

N T L S C R 1 元件的导通电压不再是横向可控硅整流器的原触发电压(约 3 0 — 5 0 伏特), 而是等效于 N_a 元件漏极的快反回击穿电压(约 1 3 — 1 5 伏特)。因此在 P S 模式静电放电发生时, N T L S C R 1 元件能在较低的电压即被导通来旁通静电放电电流, 以保护 C M O S 集成电路的内部电路。

当 N T L S C R 1 元件被导通之后, 其保持电压仍与原横向可控硅整流器的保持电压相同(约 1 伏特)。N T L S C R 1 的导通电阻与原横向可控硅整流器一样地低(约 2 — 5 欧姆), 所以 N T L S C R 1 元件能够有效且快速地旁通静电放电电流。

R_{w3a} 与 R_{w3b} 为寄生于 N 型阱区 7 2 4 与 7 2 8 的寄生电阻。 $R_{s_{ub3}}$ 寄生于 P 型衬底 7 2 6 的寄生电阻。这些寄生电阻也显示于 N T L S C R 1 元件图 1 与图 4 所示。

7. N T L S C R 2 元件

如图 1 所示, N T L S C R 2 元件连接于输入级 2 0 5 与 V S S 之间, 其阳极 5 3 5 连接到 V S S, 其阴极连接到输入级 2 0 5。N T L S C R 2 元件由两个双载流子面接触晶体管 Q_{4a} 与 Q_{4b} , 以及一短沟道薄氧化层 N M O S 元件 N b 所组成。 Q_{4a} 与 Q_{4b} 组成一横向可控硅整流器, 而 N M O S 元件 N b 用来降低此横向可控硅整流器的触发电压。

Q_{4a} 是一 P N P 双载流子面接触晶体管, 其发射极 7 5 2 连接到 V S S; 其基极 7 5 4 连接到一电阻 R_{w4a} , 此电阻的另一端连接到 V S S; 其集电极 7 5 6 经由一电阻 R_{su4} 连接到 V S S。

Q_{4b} 是一 N P N 双载流子面接触晶体管, 其发射极 7 5 8 经由一电阻 R_{w4b} 连接到输入级 2 0 5 的端点 4 2 0; 其基极 7 6 0 连接到 Q_{4a} 的集电极 7 5 6, 其集电极 7 6 2 连接到 Q_{4a} 的基极 7 5 4。

N_b 是一短沟道薄氧化层 N M O S 元件, 其漏极 7 6 4 连接到 Q_{4a} 的基极 7 5 4; 其源极 7 6 6 连接到 Q_{4b} 的发射极 7 5 8; 其栅极 7 6 8 连接到 V S S。 N_a 元件的基体 7 7 0 连接到 Q_{4b} 的基极 7 6 0。

8. N T L S C R 2 的元件构造

本节下述为有关 N T L S C R 2 元件构造, 请参见图 1 的电路示意图与图 4 的剖面图。

如图 4 所示, N T L S C R 2 元件是由一横向可控硅整流器 (由 Q_{4a} 与 Q_{4b} 所组成) 并入一短沟道薄氧化层 N b 元件所组成。此 N b 元件并入一横向可控硅整流器的目的, 在于降低此横向可控硅整流器的导通电压。

如图 4 所示, Q_{4a} 为一寄生垂直 P - N - P 双载流子面接触晶体管。 Q_{4a} 由一 P 型重掺杂区 7 5 2 在一 N 型阱区 7 5 4 内当作其发射极 7 5 2, 此 N 型阱区 7 5 4 当作其基极 7 5 4, P 型衬底 7 2 6 当作其集电极 7 5 6。

Q_{4b} 为一寄生横向 N—P—N 双载流子面接触晶体管。 Q_{4b} 由一 N 型重掺杂区 766 在一 N 型阱区 758 内当作其发射极 758，P 型衬底 726 当作其基极 760，另一 N 型阱区 754 当作其集电极 762。

薄氧化层 NMOS 元件 N_b 由一 N 型重掺杂区 766 当作其源极 766；另一 N 型重掺杂区 764 横跨做在 N 型阱区 754 与 P 型衬底 726 接储面上，当作其漏极；P 型衬底 726 当其基体 770。此 N_b 元件做在两个相邻的 N 型阱区 754 与 758 之间。 N_b 元件的栅极 768 连接到 VSS，因此 N_b 元件在 CMOS 集成电路正常工作情形下是被关闭的。

NTLSCR2 元件的导通电压不再是横向可控硅整流器的原触发电压（30—50 伏特），而是 N_b 元件的正常导通电压。此正常导通电压约为 $V_{SS} - V_{thn}$ ，此 V_{thn} 为薄氧化层 NMOS 元件 N_b 的临界电压。因此，NTLSCR2 元件会因 N_b 元件导通而被触发进入其导通状态来旁路静电放电电流。

当 NTLSCR2 元件被导通之后，其维持电压仍与原横向可控硅整流器的维持电压相同（约 1 伏特）。NTLSCR2 的导通电阻与原横向可控硅整流器一样低（约 2—5 欧姆），所以 NTLSCR2 元件能够有效且快速地旁路静电放电电流。

R_{w4a} 与 R_{w4b} 为寄生于 N 型阱区 754 与 758 的寄生电阻。 R_{sub4} 为寄生于 P 型衬底 726 的寄生电阻。这些寄生电阻也显示于 NTLSCR2 元件在图 1 与图 4 之中。

在图 4 中，有两个分离的 N 型阱区 724 与 758 同时连接到输入级 205。N 型阱区 724 用于 NTLSCR1 元件，而另一 N 型阱区 758 用于 NTLSCR2 元件。这两个 N 型阱区可以合并在一起以节省布局面积，合并后的元件结构如图 5 所示。图 5 显示的元件剖面图 900 为 NTLSCR1 与 NTLSCR2 元件合并在一起以

进一步节省布局面积。

PTLSCR2元件(NTLSCR1元件)的导通电压等效于短沟道薄氧化层PMOS(NMOS)元件Pb(Na)的快反向击穿电压。而PMOS(NMOS)元件的电压在0.8微米CMOS技术中约为-1.3~-1.5伏特(+1.3~+1.5伏特)。因此,PTLSCR2与NTLSCR1元件的导通电压能够被降低,而非原来横向可控硅整流器的30-50伏特高的触发电压。

另一方面,PTLSCR1元件(NTLSCR2元件)的导通电压皆等效于短沟道薄氧化层PMOS(NMOS)元件Pa(Nb)的正常导通电压。此PMOS(NMOS)元件Pa(Nb)的正常通电压在0.8微米CMOS技术中为 $V_{DD} + |V_{thp}|$ ($V_{SS} - V_{thn}$)伏特,其中 V_{thp} (V_{thn})为Pa(Nb)的临界电压。因此PTLSCR1与NTLSCR2元件的导通电压被降低许多,而非原横向可控硅整流器的高触发电压(约30-50伏特)。

短沟道薄氧化层PMOS元件Pb与NMOS元件Na的快反向击穿(snap back breakdown)电压是依CMOS制造技术而变。一般而言,此电压是会低于CMOS元件闸氧化层的击穿电压。因此,本发明用四个低电压触发可控硅整流器做静电放电防护电路,能够有效地保护CMOS集成电路的输入级及其内部电路,以免于异常的静电放电损伤。本发明能有效地保护输入级而不需要加入传统静电放电防护电路中常见的第二级防护元件。

9. 布局实例

图6与图7为利用本发明在0.6微米双阱区/P型衬底CMOS技术中的布局实例。在图6的布局910与图7的布局920中,也各显示了内圈防护环930与外圈防护环935,这些内外圈防护环是要防止VDD到VSS锁住(latch up)效应的发生。

图6显示的是PTLSCR1与PTLSCR2元件的布局俯视

图，其中A—A'切线是相对于图3的剖面图。图7显示的是NTLSCR1与NTLSCR2元件的布局俯视图，其中B—B'切线是相对于图5的剖面图。

本发明的布局方式非仅限于图6与图7的实例，其他的布局方式亦可用来实现本发明。

C. 制作于P型阱区 / N型衬底CMOS技术的元件结构：

本发明亦可实现于P型阱区 / N型衬底CMOS制程技术之中，其等效电路示意图如图8所示。图8显示本发明包括了PTLSCR1'、PTLSCR2'、NTLSCR1'及NTLSCR2'元件，其动作原理与元件组成类似图1所述，只是制造技术由N型阱区 / P型衬底改为P型阱区 / N型衬底的CMOS技术而已，其动作原理相类似，在此不再重覆细述。

PTLSCR1'与PTLSCR2'元件的剖面图显示于图9中，其工作原理类似图2中的PTLSCR1与PTLSCR2元件，在此不再重覆细述。由图9中的PTLSCR1'与PTLSCR2'元件可以再进行进一步合并以节省布局面积，合并之后的剖面图显示于图10之中。

NTLSCR1'与LNTLSCR2'元件的剖面图显示于图11中。其工作原理类似图4中的NTLSCR1与NTLSCR2元件，在此不再重覆细述。图11中的NTLSCR1'与NTLSCR2'元件可以再进行进一步合并以节省布局面积，合并之后的剖面图显示于图12之中。

在图8中，PTLSCR1'元件是用来防护PD模式的静电放电，PTLSCR2'元件用来防护ND模式的静电放电，NTLSCR1'元件用来防护PS模式的静电放电，NTLSCR2'元件用来防护NS模式的静电放电；因此，CMOS集成电路可被本发明的静电放电防护电路全方位地保护。

D. 电路工作原理:

本节下述的内容以图 1 所示的电路来解说, 图 1 是本发明实现于 N 型阱区 / P 型衬底 CMOS 技术的电路示意图。图 8 的电路工作原理亦类似于图 1, 将不再重覆细述, 图 8 是本发明实现于 P 型阱区 / N 型衬底 CMOS 技术中的电路示意图。

1. 在 CMOS 集成电路正常工作情形下

在 CMOS 电路正常工作情形下, V_{DD} 提供 5 伏特偏压, V_{SS} 为接地端 0 伏特。图 1 中的 PMOS 元件 P_a 与 P_b 的栅极 568 与 588 是连接到 V_{DD} , 这两个元件是被关闭的。因 P_a 与 P_b 元件是关闭的, 所以在正常工作情形下, PTLSCR1 与 PTLSCR2 元件也是在关闭 (off) 的状态。另外, N_a 与 N_b 元件的栅极 738 与 768 接到 V_{SS} , 这两个元件是被关闭的。因 N_a 与 N_b 元件是关闭的, 所以在正常工作情形下, NTLSCR1 与 NTLSCR2 元件也处在关闭的状态。因此本发明中用四个低电压触发可控硅整流器做静电放电防护电路内的四个低电压触发可控硅整流器元件, 在 CMOS 集成电路正常工作情形下, 是处于关闭状态, 故不会影响正常的电路讯号操作。

本发明电路中, 亦包含对输入信号的电压准位有一电压准位箝制作用。在图 1 中, Q_{2b} 与 Q_{4b} 的基极到发射极的接触面即是一个二极管, 此二极管的阳极接到 V_{SS} , 其阴极接到输入级 205。因此, 输入信号的低电压准位会被箝制在约 $V_{SS} - 0.6$ 伏特。

在 PTLSCR1 元件内的 PMOS 元件 P_a 会箝制输入信号的高电压准位。当输入信号的电压准位超过 $V_{DD} + |V_{thp}|$ 时, P_a 元件便会导通来箝制此高电压。 V_{thp} 是 PMOS 元件 P_a 的临界电压。因此, 在一般 5 伏特的 CMOS 集成电路中, 本发明的静电放电防护电路会箝制输入信号的电压准位约于 6 到 0.6 伏特之间。

2. 静电放电情形:

在输入级 205 发生的静电放电有四种模式，分别为正或负的静电电压对 VDD 与 VSS 放电，共分为 PD、ND、PS 及 NS 模式。在本发明中，这四个静电入电模式都被一对一地防护着：

PD 模式—PTLSCR1 (PTLSCR1')

ND 模式—PTLSCR2 (PTLSCR2')

PS 模式—NTLSCR1 (NTLSCR1')

NS 模式—NTLSCR2 (NTLSCR2')

其中，PTLSCR1、PTLSCR2、NTLSCR1 及 NTLSCR2 如图 1 是本发明实现在 N 型阱区 / P 型衬底 CMOS 制造技术中；而 PTLSCR1'、PTLSCR2'、NTLSCR1' 及 NTLSCR2' 和图 8 所显示是本发明实现在 P 型阱区 / N 型衬底 CMOS 制造技术中。

本节将以图 1 来说明本发明的电路动作原理。图 8 的电路动作原理与图 1 所示的相类似，因此不再重覆细述。

2. a. PS 模式：由 NTLSCR1 来防护

如图 1 所示，当 PS 模式静电放电发生时，此正的静电电压会被传导到 NTLSCR1 的阳极 530，然后经由正向导通的 P 型重掺杂区 722 与 N 型阱区 724 的接储面传到 NMOS 元件 Na 的漏极 734，此 Na 元件首先因此正的静电电压在其漏极 734 而发生快反向击穿，此 Na 元件的快反向击穿会初步箝制输入级 205 上的正电压准位在 13—15 伏特左右。

当 Na 元件的漏极 734 发生快反向击穿，静电放电电流被 Na 元件自 N 型阱区 724 (Q_{3a} 的基极 724)，经由 Na 元件的漏极 734，传导到 P 型衬底 726 (Q_{3b} 的基极 730)。然后此静电电流流入另一相邻的 N 型阱区 728 内的 N 型重掺杂区 736，再经 VSS 脚流出集成电路之外。

此静电放电电流被传导从 N 型阱区 724 的 P 型衬底 726，会

引发NTLSCR1元件内的横向可控硅整流器的正回授锁住效应，因而使NTLSCR1进入导通状态。一旦NTLSCR1导通了，自输入垫205到VSS会有一电阻极低的导通路径，静电放电电流便可经由此路径快速地旁路掉。而且输入级205上的电压会被NTLSCR1元件的维持电压所箝制住，约在1伏特左右。因此，连接到输入级205的输入级210能够被有效且快速地保护。

由于，可控硅整流器具有良好的电能（power）传导特性，NTLSCR1元件能够在较小的布局面积下承受高的静电放电电流。

2. b. NS模式：由NTLSCR2来防护

当NS模式的静电放电发生时，此负的静电电压先被传导到NTLSCR2元件的阴极545，然后再传到NMOS元件Nb的源极766。在此情形下，Nb元件会先正向导通因其Vgs电压大于其V_{thn}临界电压。此导通的Nb元件会初步箝制在输入级205上的负的静电电压。

导通的Nb元件会传导静电放电电流自N型阱区754到P型衬底726，因而触发NTLSCR2元件内横向可控硅整流器的下回授锁住效应。NTLSCR2元件会被导通并在VSS到输入级205之间形成一电阻极低的导通路径来旁路静电放电电流。因此，静电放电电流主要经由NTLSCR2元件旁路到VSS去，在输入级205上的负电压会被NTLSCR2元件箝制在其维持电压的准位，约在-1伏特左右。

2. c. P模式：由PTLSCR1来防护

当PD模式的静电放电发生时，此正的静电电压先被传导到PTLSCR1元件的阳极510，此时VDD脚是相对地接地而VSS脚是浮接的。此正的静电电压亦传导到PMOS元件Pa的源极566与基体570去。Pa元件的漏极564与栅极568在此时是相

对地接地，因此 P_a 元件会先正向导通，因其 V_{gs} 电压小于其临界电压 V_{thp} ，（ V_{thp} 是一负电压）。导通的 P_a 元件会初步箝制输入级 205 上的正的静电电压。

此导通的 P_a 元件亦会触发 $PTLSCR1$ 内的可控硅整流器导通来旁路静电放电电流。当 $PTLSCR1$ 元件导通之后，自输入级 205 到 VDD 会有一电阻极低的导通路径形成。因此，大部份的静电放电电流由此路径旁路到 VDD 脚再流出集成电路之外。

输入级 205 上正的静电电压会被 $PTLSCR1$ 元件箝制在其维持电压，约 1 伏特左右，因此连接到此输入级 205 的输入级 210 可被有效且快速地防护着。

2. d. ND 模式：由 $PTLSCR2$ 来防护

当 ND 模式的静电放电发生时，此负的静电电压先被传导到 $PTLSCR2$ 元件的阴极 525，而此时 VDD 是相对地接地而 VSS 是浮接的。此负的静电电压会经由正向导通的 N 型阱区 578 与 P 型衬底 556 的接储面，传到 PMOS 元件 P_b 的漏极 584。

在 $PTLSCR2$ 元件内的 P_b 元件会先因负的静电电压在其漏极而发生快反向击穿，此快反向击穿的 P_b 元件能够初步箝制输入级 205 上的负的静电电压在其电压准位左右，此快反向击穿电压约在 $-1.3 \sim -1.5$ 伏特。

静电放电电流会经由的 P_b 元件自 N 型阱区 574 传导到 P 型衬底 556，因而触发 $PTLSCR2$ 元件内的横向可控硅整流器导通。当 $PTLSCR2$ 元件导通后，会自 VDD 到输入级 205 产生一电阻极低的导通路径，而大部份的静电放电电流便由此路径旁路到 VDD 脚，再流出集成电路之外。输入级 205 上负的静电电压会被 $PTLSCR2$ 元件箝制在其维持电压约 -1 伏特左右。因此，连接到输入级 205 的输入级 210 可以被有效且快速地保护着。

本发明具有如下效果：

综合前述所言，本发明利用四个低电压触发可控硅整流器来做静电放电防护电路，静电放电在输入脚的四种放电模式，都被四个低电压触发可控硅整流器一对一地防护着。因可控硅整流器有良好电能传导特性，故本发明能够在较小的布局面积内（比起其他传统的静电放电防护电路）提供全方位且高耐压能力的静电放电防护。

举例来说，本发明的电路可在 88×177 微米平方的布局面积下提供高达 5000 伏特左右的人体放电模式（Human-Body Mode）的静电放电防护能力，而且此面积还包括防止 VDD 到 VSS 锁住效应的内外圈防护环在内。

另外，本发明除了提供静电放电防护措施之外，当 CMOS 集成电路在正常工作情况下，亦提供输入讯号电压准位箝制作用，此箝制作用可以过滤外界过低或过高电压对集成电路的骚扰，其杂讯免疫力会较好。

在本发明中，横向可控硅整流器是利用并入其中的短沟道薄氧化层 PMOS 元件或 NMOS 元件来触发而导通。而不是靠电容耦合作用来触发导通，故本发明是利用元件直流特性来导通静电放电防护电路，而非利用暂态的电容耦合效应。因此，本发明能够很容易且精准地用于各种不同的次微米制造技术中，这使得本发明更具广泛应用的价值。

在 5 伏特的 CMOS 集成电路中，本发明的电路亦可免于 VDD 到 VSS 锁住效应的发生。本发明能在较小的布局面积下提供较高的静电放电防护能力，因此本发明非常适合各种先进的次微米互补金属氧化物半导体集成电路在高密度及高速度方面的应用。另外，本发明可实现于任一互补金属氧化物半导体（CMOS）或双载流子互补金属氧化物半导体（BiCMOS）的制造技术中，包括 N 型阱区 / P 型衬底，P 型阱区 / N 型衬底，或双型阱区的制造。

以上所揭露的为本发明的设计构思及实施例，其并非用以限定本发明

的范围，任何熟习此项技艺者，在不脱离本发明的精神和范围内，作少许更动，仍应属本发明保护范围。

说明书附图

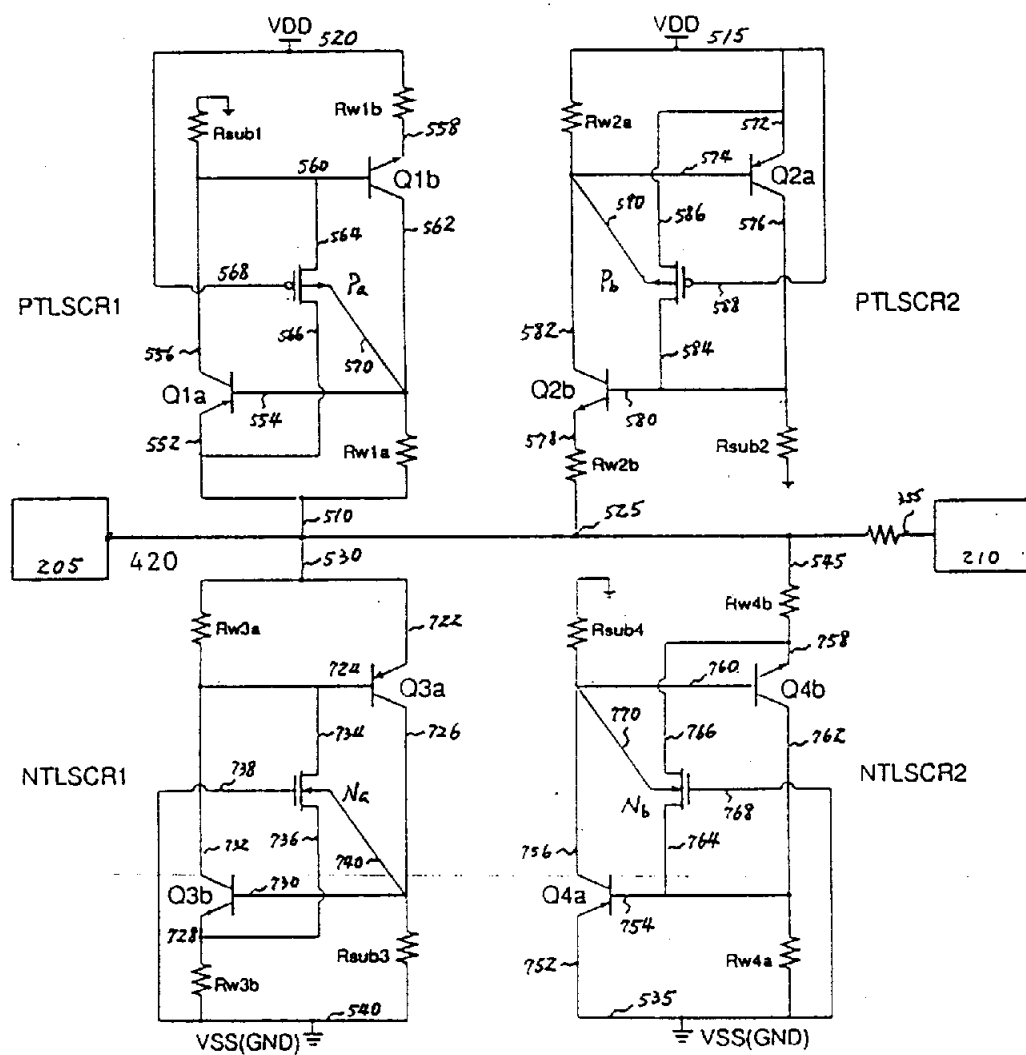
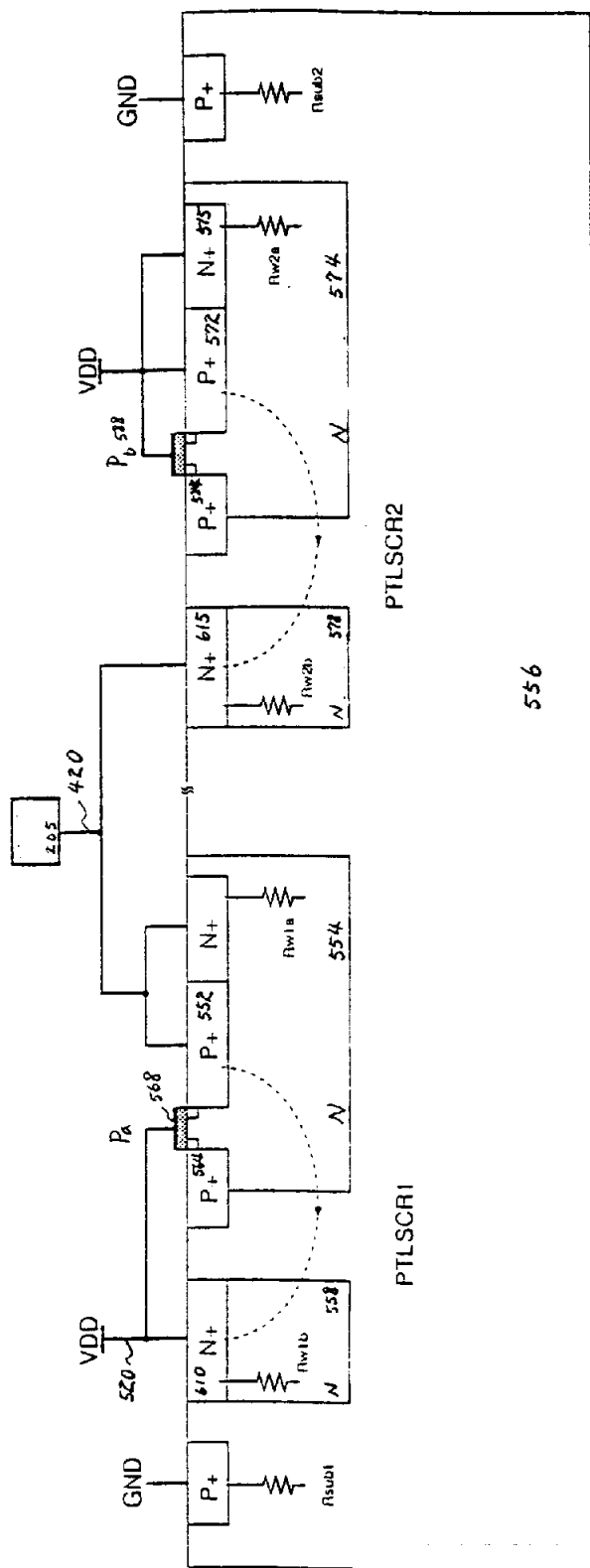


图 1

500



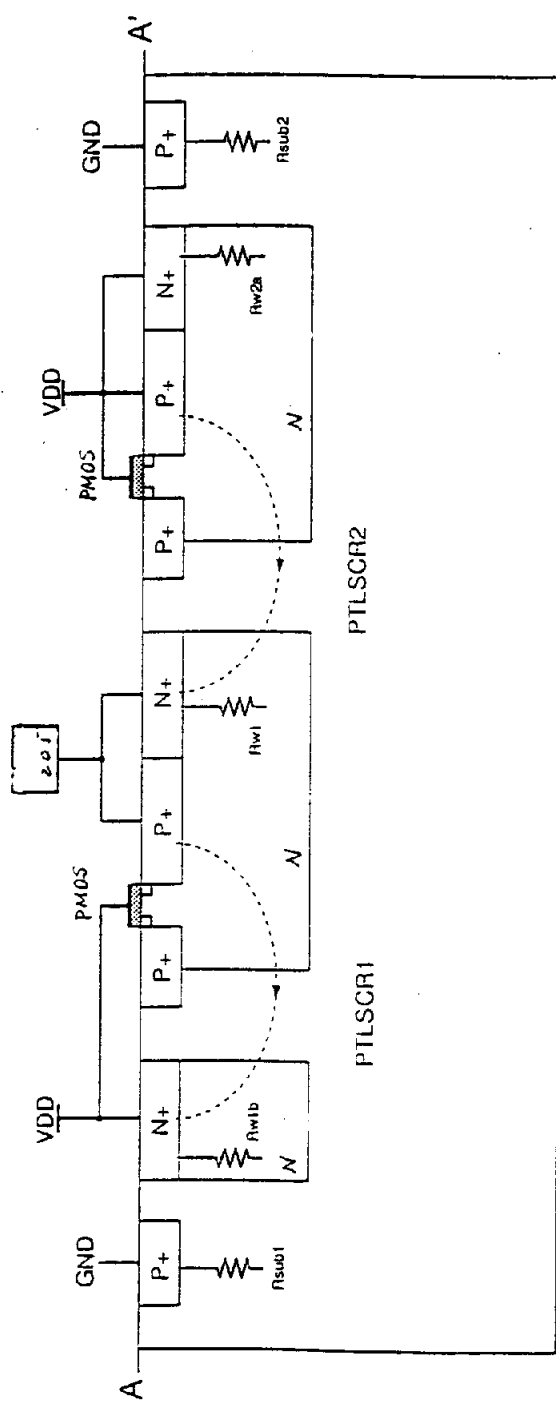
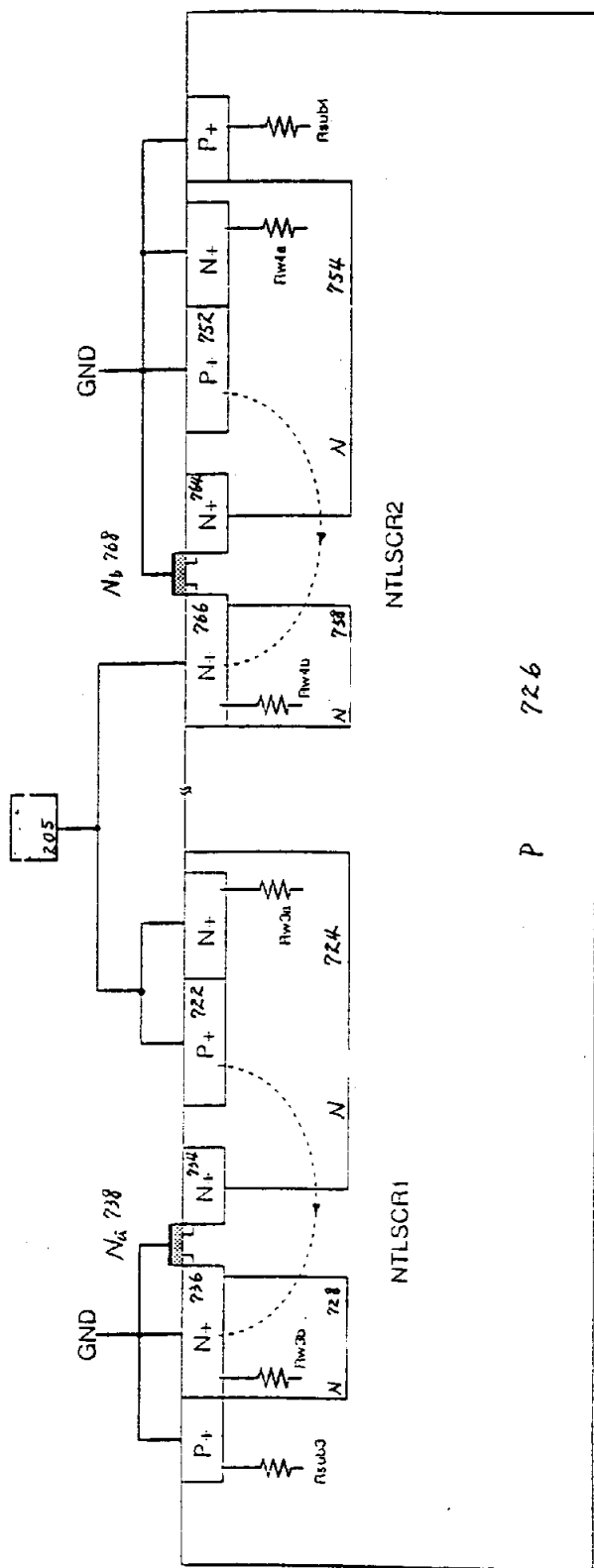


图 3

700



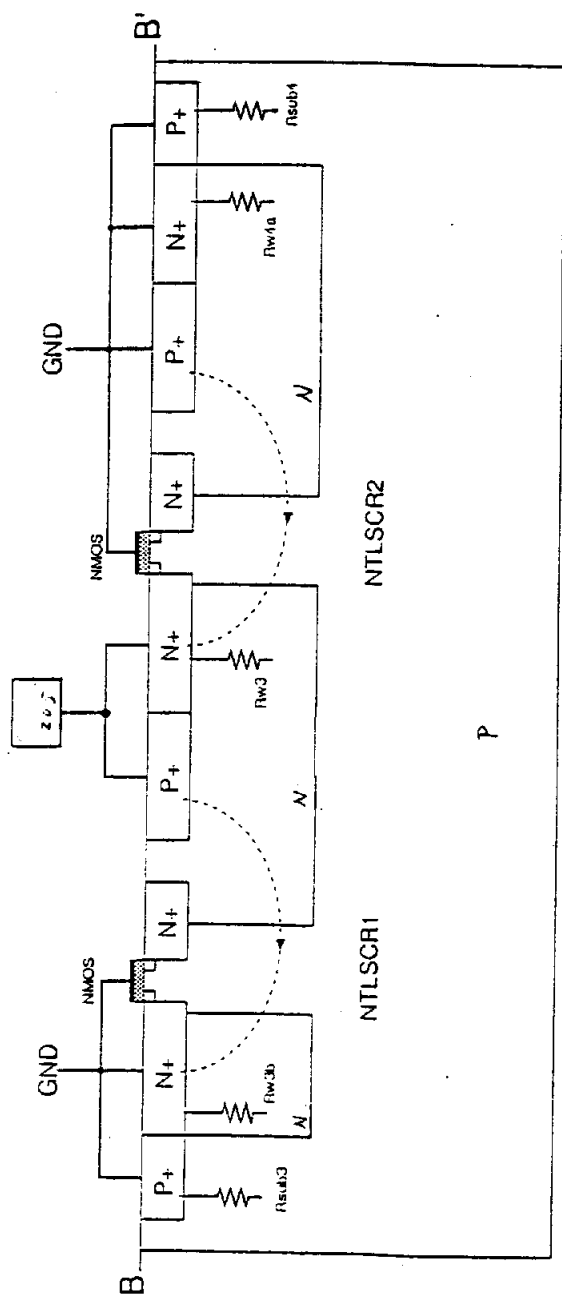
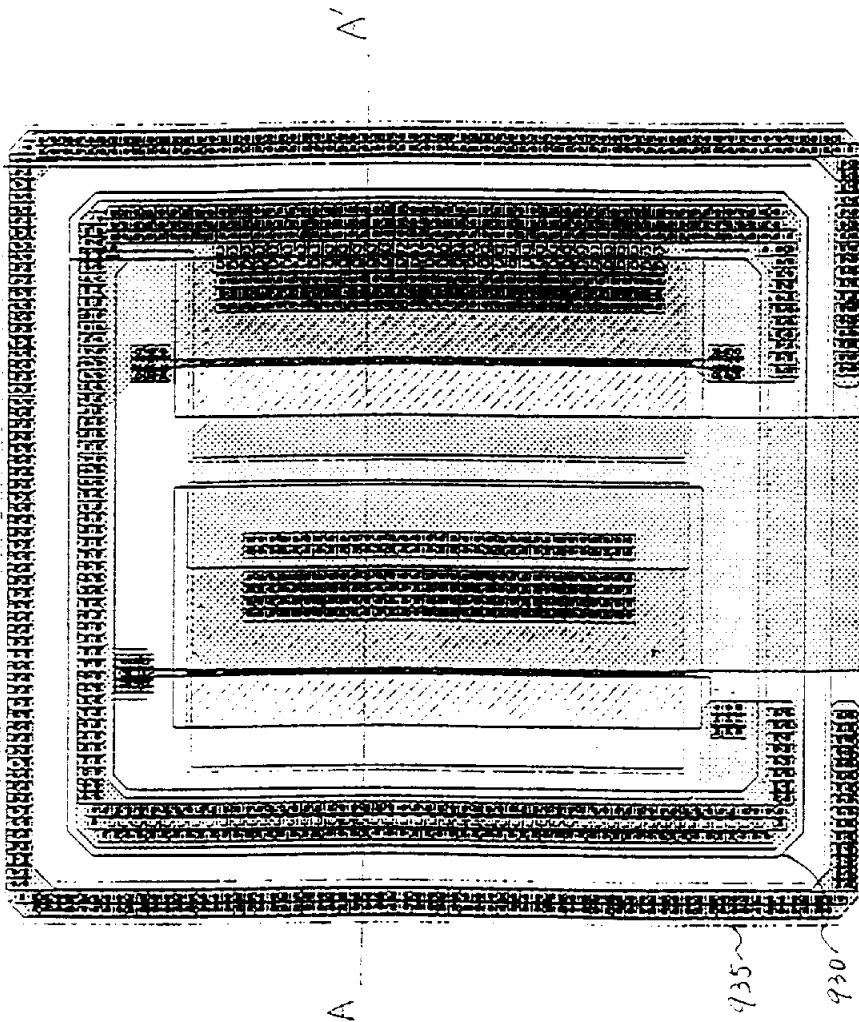


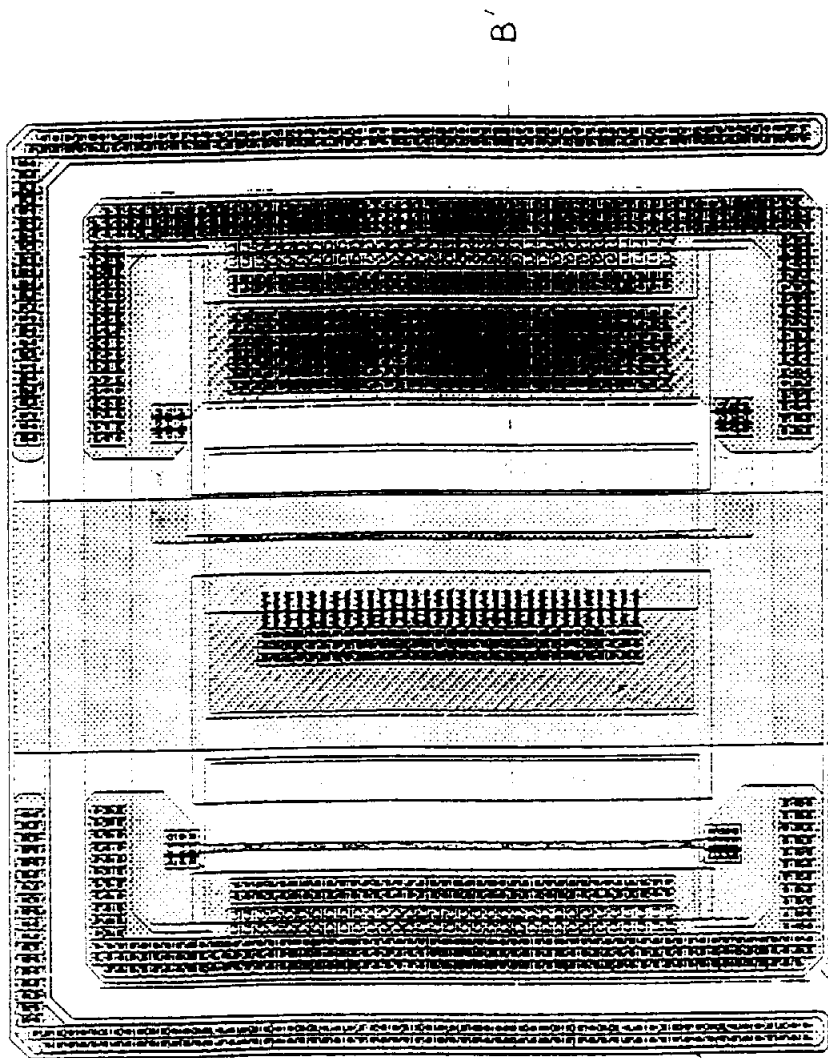
图 5

900



910

图6



920

图 7

930

935

B

B'

1200

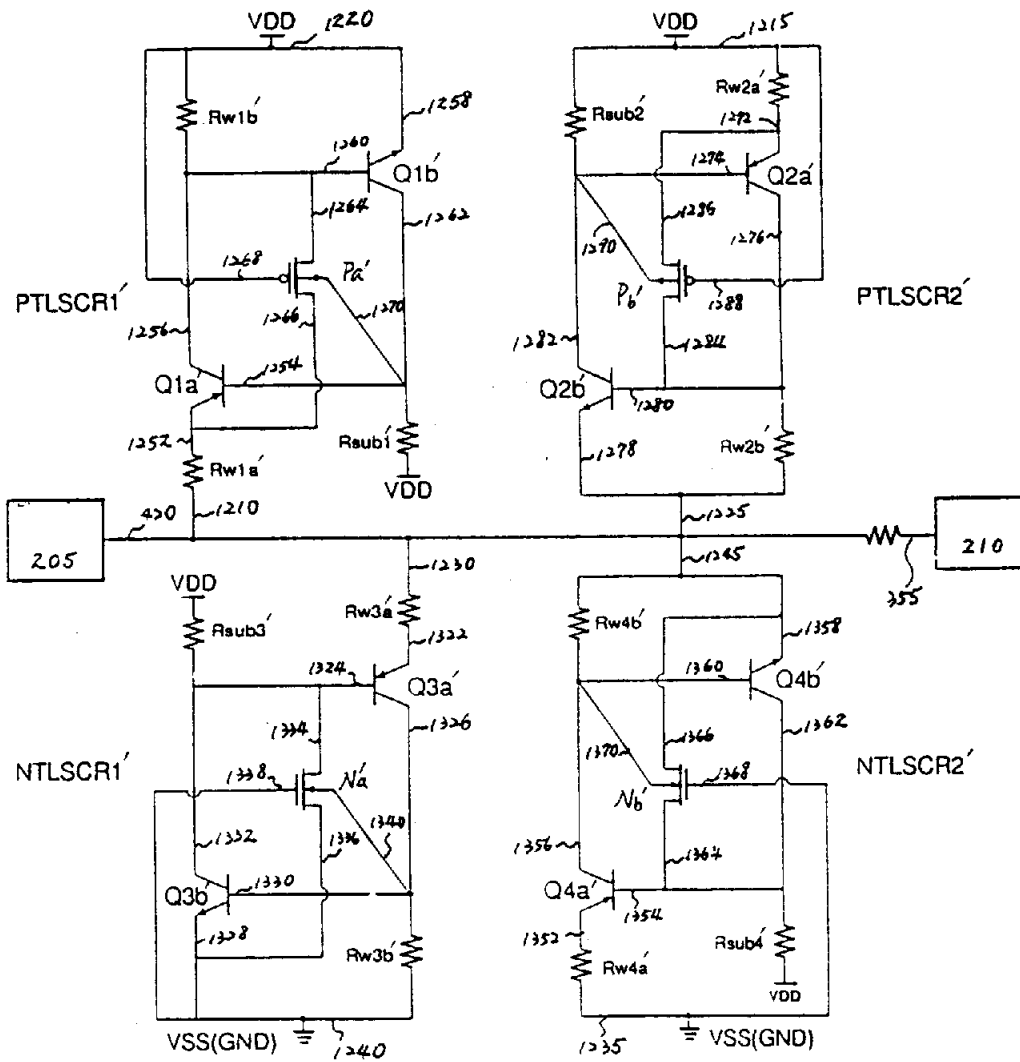


图 8

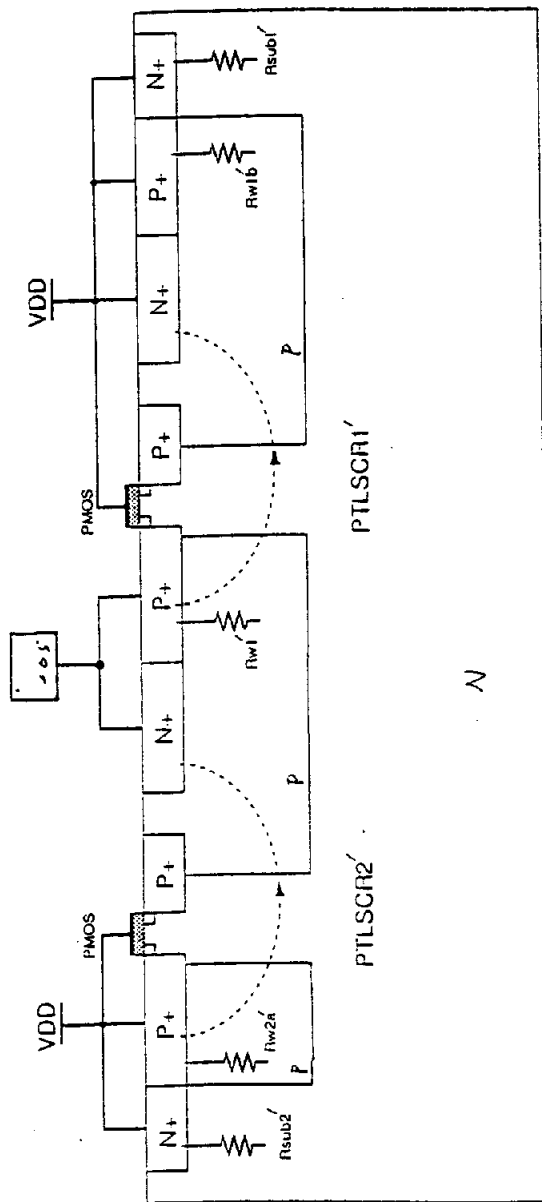
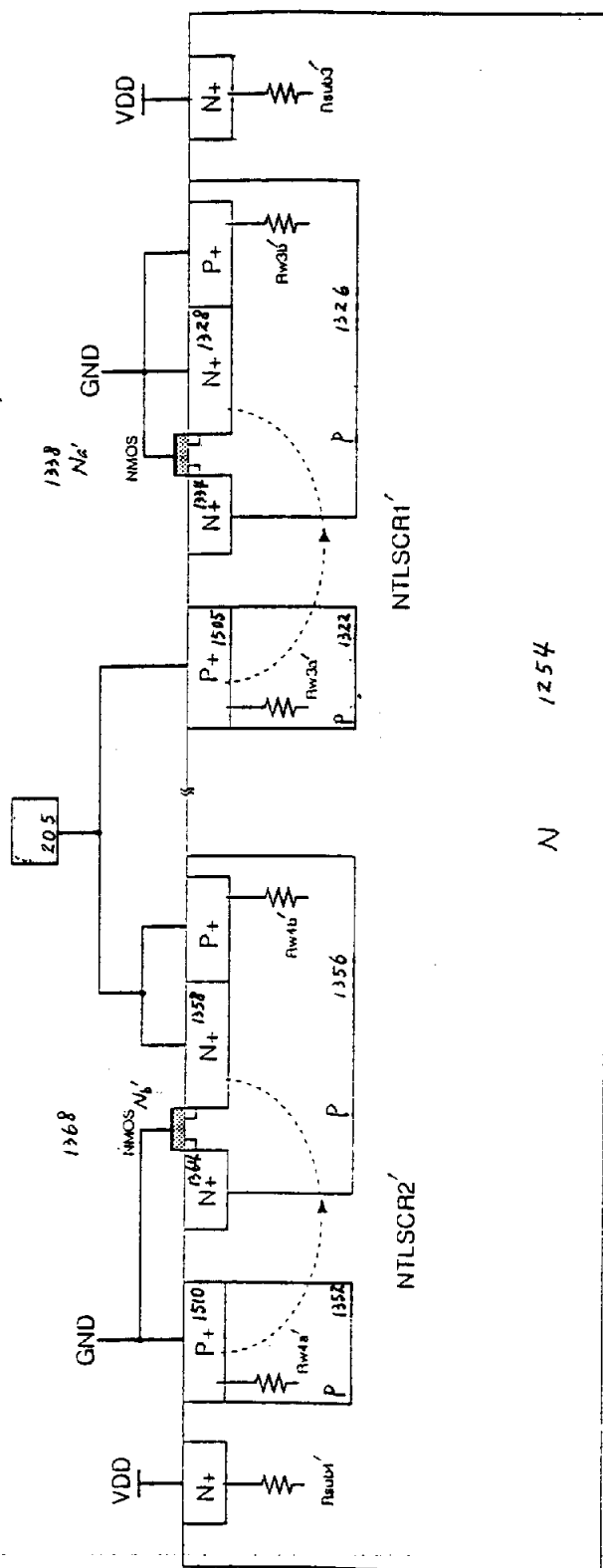


图10



N 1254

图11

1600

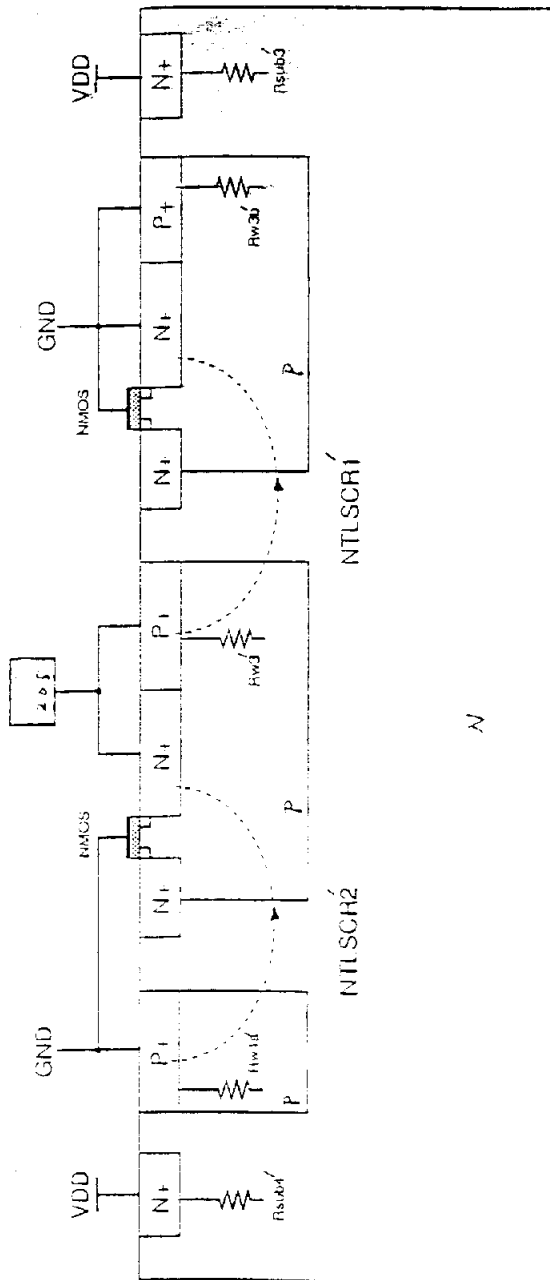


图12